



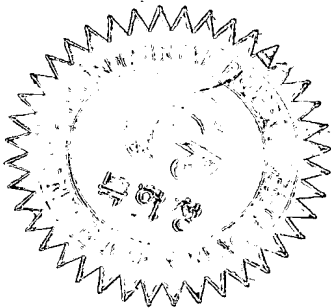
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 57570 호  
Application Number

출원년월일 : 2000년 09월 30일  
Date of Application

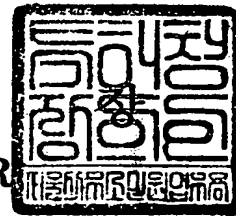
출원인 : 삼성전자 주식회사  
Applicant(s)



2000 년 10 월 17 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.09.30
【발명의 명칭】	능동저항소자를 사용한 기준전압 발생회로
【발명의 영문명칭】	REFERENCE VOLTAGE GENERATOR CIRCUIT USING ACTIVE RESISTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	1999-005679-8
【발명자】	
【성명의 국문표기】	곽충근
【성명의 영문표기】	KWAK, Choong Keun
【주민등록번호】	591117-1019138
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 풍림아파트 235-1806호
【국적】	KR
【발명자】	
【성명의 국문표기】	김두웅
【성명의 영문표기】	KIM, Du Eung
【주민등록번호】	640228-1467029
【우편번호】	440-320
【주소】	경기도 수원시 장안구 율전동 419 삼성APT 201동 2001호
【국적】	KR
【발명자】	
【성명의 국문표기】	조우영
【성명의 영문표기】	CHO, Woo Yeong
【주민등록번호】	681006-1841019
【우편번호】	442-470

**【주소】** 경기도 수원시 팔달구 영통동 신나무실 신안아파트 532동 1904호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김능균 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 6 면 6,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 16 항 621,000 원  
**【합계】** 656,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 공정의 미세화에 따른 고집적화 및 저전력화를 위해 필요한 기준전압 발생회로에 관한 것으로, 특히 반도체 장치의 내부전원을 구성하는데 필수적인 기준전압 발생회로의 구현에 있어 수동저항소자를 대체한 능동저항소자를 사용하여 레이아웃 면적 감소 및 신뢰성 있는 회로동작을 확보할 수 있는 기준전압 발생회로에 관한 것이다. 본 발명에 따른 기준전압 발생회로는 전류미러 형태의 기준전압 발생회로에 외부인가전압과 접지전압사이의 일측 전류경로상에 전류전압특성곡선의 선형 구간에서 동작하도록 드레인 전압보다 높은 전압을 게이트 입력전압으로 받는 엔모스 트랜지스터가 형성된 능동저항부를 구성함을 특징으로 한다.

**【대표도】**

도 3

**【색인어】**

기준전압, 문턱전압, 직류, 능동저항소자, 전류미러

**【명세서】****【발명의 명칭】**

능동저항소자를 사용한 기준전압 발생회로{REFERENCE VOLTAGE GENERATOR CIRCUIT USING ACTIVE RESISTOR DEVICE}

**【도면의 간단한 설명】**

도 1은 비교예1에 따른 수동저항소자를 갖는 기준전압 발생회로도

도 2는 비교예2에 따른 수동저항소자를 갖는 기준전압 발생회로도

도 3은 본 발명의 제1실시예에 따른 MOS형 능동저항소자를 갖는 기준전압 발생회로도

도 4는 도 3에 따른 MOS형 능동저항소자의 전류전압특성곡선을 나타낸 도면

도 5는 본 발명의 제2실시예에 따른 MOS형 능동저항소자를 직렬연결로 사용한 경우의 기준전압 발생회로도

도 6은 도 5에 따른 MOS형 능동저항소자를 직렬연결로 사용한 경우의 전류전압특성곡선을 나타낸 도면

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 공정의 미세화에 따른 고집적화 및 저전력화를 위해 필요한 기준

전압 발생회로에 관한 것으로, 특히 반도체 장치의 내부전원을 구성하는데 필수적인 기준전압 발생회로를 구현함에 있어 수동저항소자를 대체한 능동저항소자를 사용하여 레이아웃 면적 감소 및 신뢰성 있는 회로동작을 확보할 수 있는 기준전압 발생회로에 관한 것이다.

<8> 반도체 공정의 미세화에 따라 MOS(Metal-Oxide Semiconductor)를 기본으로 하는 회로의 경우 절연층(Insulator:  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  등)의 두께는 외부인가전압( $\text{EV}_{\text{cc}}$ )에 따른 절연파괴전압(Dielectric breakdown voltage)을 견디는 전압에 비해 급속하게 박막화 되고 있다. 또한, 구성된 반도체 회로의 신뢰성 있는 동작을 확보하기 위해 외부인가전압에 무관하게 일정한 내부전원의 필요성이 요구되고 있다.

<9> 종래에 적용되는 기준전압 발생회로 중에서 수동저항소자로 사용되어 온 반도체 물질로 진성다결정실리콘(Intrinsic poly-Si),  $\text{N}^+/\text{P}^+$  능동층( $\text{N}^+/\text{P}^+$  active layer),  $\text{N}^-/\text{P}^-$  Well층( $\text{N}^-/\text{P}^-$  Well layer) 등이 있다. 이중 상기 진성다결정실리콘은 설정저항의 제어가 용이하고 기존 공정과의 호환성이 우수하나, low power 공정 등의 공정상에 진성다결정실리콘을 생성하는 공정이 없는 경우에 별도의 공정을 추가해야 하는 문제가 있었다. 그리고, 상기  $\text{N}^+/\text{P}^+$  능동층( $\text{N}^+/\text{P}^+$  active layer)은 MOS 소자의 경우 소오스/드레인(source/drain) 영역의 형성에 사용되는 설정 저항값의 임의 조절이 곤란하고 도핑을 많이 함에 따라 큰 저항값을 얻는데 어려움이 있었다. 그리고, 상기  $\text{N}^-/\text{P}^-$  Well층( $\text{N}^-/\text{P}^-$  Well layer)은 큰 저항값을 얻을 수는 있으나 가변영역이 너무 커서 제어에 어려움이 따라 구성되는 회로와의 호환성을 고려할 때 신뢰성 있는 저항값을 얻기 힘들며, 원하는 저항값을 얻기 위해서는 레이아웃 면적을 많이 차지해야 하는 문제가 있었다.

<10> 종래 기준전압 발생회로에 수동저항소자를 사용하는 경우를 이하에 도 1 및 도 2의 비교예를 통해 설명한다.

<11> 도 1은 비교예1에 따른 수동저항소자를 갖는 기준전압 발생회로로서, 문턱(Threshold) 전압형 기준전압 발생회로를 도시한 것이다. 상기 비교예1에 따른 기준전압 발생회로는 MOS 트랜지스터를 다이오드 접속으로 하여 문턱 전압 근처에서 항상 일정한 전압이 유지되도록 함과 아울러 온도보상 효과까지 얻을 수 있는 회로이다. 이 경우, 도면에서 보듯이 기준전압을 생성하기 위해서는 저항의 사용이 필수적이다. 그리고, 회로의 소모전류를 최소화하기 위해서는 큰 저항의 사용이 필요하게 된다. 일 예로써 상기 도 1에서 외부인가전압( $EV_{cc}$ )이 5V이고, 설정내부기준전압( $V_{ref}$ )이 2V이며, 소모전류가  $1\mu A$ 로 제한된다고 가정하면 저항  $R1$ 의 값은,

$$<12> R1 = (5V - 2V) / 1\mu A = 3\text{ MU OMEGA}$$

<13> 이 된다. 상기 저항  $R1$ 을 진성다결정실리콘(Intrinsic poly-Si),  $N^+/P^+$  능동층( $N^+/P^+$  active layer) 및  $N^-/P^-$  Well층( $N^-/P^-$  Well layer) 등의 수동저항소자로 형성하는 경우 상기한 수동저항소자 사용의 문제로 든 바와 같은 문제가 발생하게 된다.

<14> 도 2는 비교예2에 따른 수동저항소자를 갖는 기준전압 발생회로로서, 전류미러(Current Mirror) 형태의 기준전압 발생회로를 도시한 것이다. 도 2에 따른 비교예2에서 NMOS 트랜지스터 Q7의 게이트와 소오스 사이의 전압(이를 ' $V_{gs1}$ '이라 칭함.)이 NMOS 트랜지스터의 문턱전압(이를 ' $V_t$ '라 칭함) 정도가 되도록 설계될 때, 저항  $R$ 에 흐르는 전류를 만약  $0.5\mu A$ 로 제한하는 경우 필요한 저항값은,

$$<15> R = V_t / 0.5\mu A$$

<16> 가 되며, 상기  $V_t$ 가 0.7V에 대하여  $1.4M\Omega$ 이 필요하게 된다. 하지만, 상기 도 2에 따른 비교예2의 경우 역시 상기 저항 R을 진성다결정실리콘(Intrinsic poly-Si),  $N^+/P^+$  능동층( $N^+/P^+$  active layer),  $N^-/P^-$  Well층( $N^-/P^-$  Well layer) 등의 수동저항소자로 형성하는 경우 상기한 수동저항소자 사용의 문제로 든 바와 같은 문제가 발생하게 된다.

<17> ... 상기 비교예1 및 비교예2의 경우를 비교해 보면 상기 비교예2는 상기 비교예1보다 외부 바이어스(Bias)에 대한 영향이 적은 장점이 있는 반면, 전원 온(Power On)시 전압 특성이 나빠질 수 있어 별도의 스타트 업(start-up) 회로가 필요하게 된다.

<18> 참고로, 상기 도 2와 같이 수동저항소자를 사용하고 전류미러 형태를 갖는 기준전압 발생회로의 기술이 대한민국 공개특허 93-20658호, 대한민국 특허공보 95-10284호 및 대한민국 공개특허 96-35620호에 개시되어 있으며, 상기 기준전압 발생회로에 스타트 업 회로가 개시된 기술이 미합중국 특허 USP5,565,811호(1995.02.14)에 개시되어 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<19> 따라서 본 발명의 목적은 상기의 문제점을 해결하기 위하여 기존 기준전압 발생회로에 사용되는 수동저항소자를 대체하여 설정 저항값을 용이하게 획득할 수 있고, 레이아웃 면적을 최소화하면서 공정변화에 무관하게 고신뢰성을 제공할 수 있는 능동저항을 사용한 기준전압 발생회로를 제공함에 있다.

<20> 상기 목적을 달성하기 위해 본 발명에 따른 기준전압 발생회로는 전류미러 형태의 기준전압 발생회로에 외부인가전압과 접지전압사이의 일측 전류경로상에 전류전압특성곡선의 선형 구간에서 동작하도록 드레인 전압보다 높은 전압을 게이트 입력전압으로 받는 엔모스 트랜지스터가 형성된 능동저항부를 구성함을 특징으로 한다.

<21> 또한, 본 발명에 따른 기준전압 발생회로는: 제1전원단자와 제2전원단자와의 사이에 형성되는 제2전류경로상에 형성되어 기준전압을 출력하는 기준전압 출력노드; 상기 제1전원단자와 제2전원단자 사이에 형성되는 제1전류경로 및 제2전류경로에 각각 대응되도록 접속이 이루어지며, 자체의 제2전류경로를 통과한 전압레벨에 응답하여 동작하는 전류미러; 및 상기 제1전원단자와 상기 제2전원단자 사이의 제1전류경로상에 형성되어 인에이블 전압에 의해 선형 구간에서 동작하는 능동저항소자;를 가짐을 특징으로 한다.

#### 【발명의 구성 및 작용】

<22> 이하 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서 구체적인 회로설계 구조와 같은 많은 특정 상세들은 본 발명의 보다 전반적인 이해를 제공하기 위해 나타나 있다. 이들 특정 상세들 없이 본 발명이 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게는 자명할 것이다. 그리고 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 공지 기능 및 구성에 대한 상세한 설명은 생략한다.

<23> 본 발명에 따른 이하의 실시예들은 모두 전류미러형(Current Mirror Type)의 기준전압 발생회로에 적용된다.

<24> 먼저, 본 발명의 실시예에 따른 제1실시예를 도 3 및 도 4를 통해 설명한다. 상기 도 3은 본 발명의 제1실시예에 따른 MOS형 능동저항소자를 갖는 직류(DC) 문턱 전압형 기준전압 발생회로도이고, 상기 도 4는 도 3에 따른 MOS형 능동저항소자의 전류전압특성 곡선이다.

<25>      상기 도 3의 회로는 크게 110 블록과 120 블록으로 구분되는데, 상기 110 블록은 기준전압 발생부를 나타내고, 상기 120 블록은 전압공급회로를 나타낸다. 상기 기준전압 발생부 110 내에는 전류미러회로(140), 전류조절부(160) 및 능동저항부(130)가 구비된다. 이러한 본 발명의 제1실시예에 따른 기준전압 발생회로의 구성은 다음과 같이 구성된다.

<26>      본 발명의 제1실시예에서는 전류미러 회로(140)를 갖는 기준전압 발생회로에 적용된다. 또한, 외부인가전압과 접지전압사이의 일측 전류경로상에 선형 구간(linear region)에서 동작하도록 드레인 전압보다 높은 전압을 게이트 입력전압으로 받는 NMOS 타입의 단일의 능동저항소자 Q12가 형성된다. 상기 Q12는 여기서 능동저항수단으로 사용된다. 또한, 본 발명의 제1실시예에 따른 기준전압 발생회로는 상기 능동저항수단으로 사용하는 NMOS 트랜지스터 Q12의 게이트 입력전압을 공급하는 전압공급회로(120)를 갖는다.

<27>      본 발명에 따른 능동저항소자를 사용한 기준전압 발생회로는 외부인가전압(EVcc)과 접지전압 사이에 형성되는 제2전류경로(I2경로)상에 형성되어 기준전압(Vref)을 출력하는 기준전압 출력노드(150)와; 상기 외부인가전압과 접지전압 사이에 형성되는 제1전류경로(I1경로) 및 제2전류경로(I2경로)에 각각 대응되도록 접속이 이루어지며, 자체의 제2전류경로(I2경로)를 통과한 전압레벨에 응답하여 동작하는 전류미러 회로(140); 및 상기 외부인가전압과 상기 접지전압 사이의 제1전류경로(I1경로)상에 형성되어 인에이블 전압(Vrefb)에 의해 선형 구간에서 동작하는 저항부(130)로서 MOS 타입의 능동저항소자 NMOS 트랜지스터를 구성하며, 상기 능동저항소자로 사용한 NMOS 트랜지스터의 인에이블 전압을 공급하는 전압공급회로(120)를 구성하는데, 상기 전압공급회로(120)는 하나의

PMOS 트랜지스터와 다수의 NMOS 트랜지스터들의 결합으로 형성되어 상기 PMOS 트랜지스터와 NMOS 트랜지스터 사이의 접속노드를 통해 상기 인에이블 전압을 상기 능동저항소자인 NMOS 트랜지스터의 게이트에 공급한다. 여기서, 상기 인에이블 전압( $V_{refb}$ )은 상기 능동저항소자로 사용되는 NMOS 트랜지스터의 드레인 전압보다 높은 전압이 되어야 한다. 이는 상기 능동저항소자로 사용되는 NMOS 트랜지스터가 상기 도 4에 도시된 전류전압특성곡선의 선형 구간에서 동작되도록 하기 위함이다. 또한, 상기 외부인가전압( $EV_{cc}$ )과 상기 접지전압 사이에 형성되는 상기 제1전류경로( $I_1$ ) 및 제2전류경로( $I_2$ )상에는 각 전류경로상의 전류를 조절하는 NMOS 트랜지스터가 각각 구성된다. 본 발명의 제1실시예에서는 상기 전류미러(140)를 PMOS 트랜지스터 쌍으로 이루어지도록 구성하였다.

이상에서 설명한 도 3에 도시된 본 발명의 제1실시예에 따른 기준전압 발생회로의 상세 회로구성은 다음과 같다. 상기 전류미러 회로(140)는 외부인가전압( $EV_{cc}$ )이 PMOS 트랜지스터 Q8 및 PMOS 트랜지스터 Q9의 소오스에 연결된다. 상기 PMOS 트랜지스터 Q8의 게이트는 상기 PMOS 트랜지스터 Q9의 게이트에 공유됨과 아울러 상기 PMOS 트랜지스터 Q8의 드레인과 연결되도록 구성된다. 또한, 상기 PMOS 트랜지스터 Q8의 드레인은 NMOS 트랜지스터 Q11의 드레인에 연결된다. 상기 PMOS 트랜지스터 Q9의 드레인이 상기 NMOS 트랜지스터 Q11의 게이트 및 NMOS 트랜지스터 Q10의 드레인과 연결된다. 상기 NMOS 트랜지스터 Q10의 소오스는 접지전원에 연결된다. 상기 PMOS 트랜지스터 Q9의 드레인과 상기 NMOS 트랜지스터 Q10의 드레인과의 연결노드에 기준전압(reference voltage:  $V_{ref}$ ) 출력노드가 형성된다. 그리고, 능동저항부(130)는 능동저항소자로 사용되는 NMOS 트랜지스터 Q12의 드레인이 상기 NMOS 트랜지스터 Q10의 게이트 및 상기 NMOS 트랜지스터 Q12의 소오스와 연결된다. 상기 NMOS 트랜지스터 Q12의 소오스는 접지전원에 연결된다. 상기

NMOS 트랜지스터 Q12가 선형 구간에서 동작되도록 하기 위해 상기 NMOS 트랜지스터 Q12의 게이트 입력전압은 상기 NMOS 트랜지스터 Q12의 드레인 전압보다 높은 전압( $V_{refb}$ )을 상기 120블록의 전압공급회로에서 공급받도록 구성된다.

<29> 또한, 120블록의 전압공급회로는 상기 PMOS 트랜지스터 Q8의 드레인 전압을 PMOS 트랜지스터 Q13의 게이트 입력으로 연결한다. 그리고, 상기 외부인가전압( $EV_{cc}$ )은 상기 PMOS 트랜지스터 Q13의 소오스 입력으로 연결된다. 그리고, 상기 PMOS 트랜지스터 Q13의 소오스는 PMOS 트랜지스터 Q13의 게이트로 연결된다. 그리고, 상기 PMOS 트랜지스터 Q13의 드레인은 NMOS 다이오드 Q14의 드레인 및 게이트에 연결된다. 또 다른 NMOS 다이오드 Q15의 드레인 및 게이트는 상기 NMOS다이오드 Q14의 소오스에 연결되며, 또 다른 NMOS 다이오드 Q16의 드레인 및 게이트가 상기 NMOS 다이오드 Q15의 소오스에 연결된다. 그리고, 상기 NMOS 다이오드 Q16의 소오스는 접지전압에 연결한다. 상기 NMOS 트랜지스터 Q12의 게이트는 상기 PMOS 트랜지스터 Q13의 드레인 및 상기 NMOS 다이오드 Q14의 드레인과 연결되도록 구성된다. 상기 외부인가전압( $EV_{cc}$ )과 상기 접지전압 사이에는 두 개의 전류경로가 형성되는데, 상기 도 3에서 I1로 표시되는 제1전류경로와, I2로 표시되는 제2전류경로가 구성된다.

<30> 상술한 본 발명의 제1실시예에 따른 능동저항소자를 사용한 기준전압 발생회로의 각 MOS 소자의 동작은 다음과 같다.

<31> 먼저, 기준전압 발생부인 110 블록의 동작을 설명하면; 전류미러인 PMOS 트랜지스터 Q8 및 Q9는 MOS 동작에서 포화영역(Saturation region)에 있다. 그리고, 상기 제1(I1) 및 제2(I2) 전류경로 상에서 전류조절을 행하는 NMOS 트랜지스터 Q10 및 Q11 또한 포화영역에서 MOS 동작을 이룰 수 있도록 구성한다. 상기 PMOS 트랜지스터 Q8 및 Q9는

전류미러로 구성되므로 상기 제1전류경로의 전류  $I_1$ 과 상기 제2전류경로의  $I_2$ 는 동일하다. 이때 흐르는 전류를  $I(I=I_1=I_2)$ 라 하면 상기 NMOS Q10의 게이트에 인가되는 전압은 ' $I \cdot R_{eq}$ '가 된다. 여기서,  $R_{eq}$ 는 상기 NMOS 트랜지스터 Q12의 유효저항이다. 따라서, 상기 도 3의 110블록에서 동작점(operating point)은 하기의 수학식 1을 만족하게 된다.

<32> 【수학식 1】

$$I_{Req} = V_{gs1} = V_t + \sqrt{\frac{2I}{\mu_n C_{ox} \left( \frac{W_2}{L_2} \right)}}$$

<33> 여기서, 상기  $V_t$ 는 문턱전압임.

<34> 상기의 수학식 1에서 NMOS 트랜지스터 Q10의  $(W_2/L_2)$ 를 크게 하면 상기의 수학식 1은 다음의 수학식 2로써 간단히 된다.

<35> 【수학식 2】

$$I_{Req} = V_{gs1} = V_t$$

<36> 이때, 상기 능동저항소자로 사용되는 NMOS 트랜지스터 Q12의 동작을 선형 구간에서 동작시키면 상기 NMOS 트랜지스터 Q12로 인가되는 전압 및 흐르는 전류의 관계는 선형화된다. 따라서, 저항의 전압/전류특성은 상기 도 4의 전류전압특성곡선과 같이 된다. 그리고, 상기 도 4에서 상기 능동저항소자 NMOS 트랜지스터 Q12의 선형영역과 포화영역의 경계점이 ( $V_{ds1} = V_{gs1} - V_t = 3V_t - V_t$ )가 되므로, 상기 능동저항소자 NMOS 트랜지스터 Q12를 선형영역에서 동작시키기 위해서는 상기의 수학식들을 고려할 때( $V_{ds1} = V_t$ ) 상기 Q12의 게이트 전압  $V_{gs1}$ 이 상기 도 4에서와 보듯이  $2 \cdot V_t$ 보다 커져야 한다.

<37> 다음으로, 상기 능동저항소자인 NMOS 트랜지스터 Q12의 게이트 전압을 생성하여 상

기 Q12의 게이트로 공급하는 전압공급회로(120)의 동작 특성은 다음과 같다. 상기 PMOS 트랜지스터 Q13의 게이트 전압은 상기 PMOS 트랜지스터 Q8의 게이트 및 드레인 전압과 일치하며, 그 값은  $(V_{cc} - V_{thp})$ 으로 형성된다. 따라서, 상기 PMOS 트랜지스터 Q13의 게이트와 소오스 사이의 전압( $V_{gs13}$ )은 일정하게 유지되며, 상기 PMOS 트랜지스터 Q13의 드레인과 연결된 NMOS 트랜지스터 Q14의 드레인과 연결된다. 이때, 노드 'C'의 전압은 상기 Q14, Q15 및 Q16의 MOS형 다이오드의 문턱전압의 합으로 표현되며, 그 값은 Q14 및 Q15의 문턱전압이  $V_t$ 으로 정해진 경우  $3 \cdot V_t$ 이 된다. 이 경우에, 상기 Q14 및 Q15의 바디 이펙트(body effect)에 따른 문턱전압 상승을 무시한다고 가정한다. 여기서, 노드 'C'의 설정 전압값에 따라 상기 PMOS Q13의 드레인과 직렬 연결된 NMOS형 다이오드의 개수는 고정되어 있지 않으며 변화 가능하다. 일 예로서, 상기 NMOS형 다이오드의 직렬연결 개수가 4개이면 상기 노드 'C'의 전압은  $4 \cdot V_t$ 이 된다.

<38>      상기에서 형성된 노드 'C'의 전압( $3 \cdot V_t$ )은 상기 110 블록의 능동저항소자인 NMOS 트랜지스터 Q12의 게이트 전압으로 사용된다. 상기 110 블록과 120 블록의 구성을 가지는 경우 상기 능동저항소자 NMOS 트랜지스터 Q12의 게이트 전압은  $3$ (또는  $4$ ) $\cdot V_t$ 가 되고, 소오스와 드레인 간의 전압은  $V_t$ 가 된다. 따라서, 상기 능동저항소자인 NMOS 트랜지스터 Q12는 선형 영역에서 동작하게 되어 수동저항소자와 같은 특성을 가질 수 있게 된다.

<39>      이하, 본 발명의 제2실시예를 도 5 및 도 6을 참조하여 설명한다.

<40>      도 5는 본 발명의 제2실시예에 따른 MOS형 능동저항소자를 직렬연결로 사용한 경우의 기준전압 발생회로도로서, 상기 본 발명의 제1실시예에서 능동저항소자 NMOS 트랜지스터 Q12 하나만으로 저항값을 얻기 힘든 경우 게이트 입력전압을 노드 'C'의 전압값으로 가지는 NMOS들의 직렬 연결로 구성한 예를 보인 것이다. 구체적인 회로구성의 예를

들면, n개의 능동저항소자 NMOS 트랜지스터 Q21~Q2n이 직렬 연결되며, 각 NMOS 트랜지스터의 게이트는 공유되어 전압공급회로(220)의 노드 'C'의 전압값을 입력받게 된다. 기타 회로의 경우는 상기 예를 든 본 발명의 제1실시예의 경우와 동일하므로 여기서는 중복 설명을 피하기로 한다. 다만, 상기 도 5의 회로와 상기 도 3의 회로와의 대응관계는 다음과 같다. Q8 및 Q9가 Q17 및 Q18로, Q11이 Q20으로, Q10이 Q19로, Q13이 Q31로, Q14는 Q32로, Q15는 Q33으로, Q16은 Q34로 대체된다.

<41> 설명한 본 발명의 제2실시예의 경우 직렬 연결된 NMOS 트랜지스터들의 모음을

$Q_{1\_effective}$ 라고 할 때, 상기  $Q_{1\_effective}$ 의 선형 영역 및 포화 영역의 구분전압( $V_{gs1\_effective} - V_{th1\_effective}$ )이 상기 본 발명의 제1실시예의 단일 NMOS 트랜지스터

Q12를 사용하는 경우보다 증가하므로 상기  $Q_{1\_effective}$ 의 ( $=V_t$ )에 대하여 보다 안정적인 선형 영역의 동작을 보장하게 된다. 본 발명의 제2실시예에 대하여 MOS형 능동저항소자를 직렬연결로 사용한 경우의 전류전압특성곡선이 도 6에 도시되어 있다. 상기 도 6의 전류전압특성곡선에서 보는 바와 같이 상기  $Q_{1\_effective}$ 의 선형 영역(A02)이 Q12의 선형 영역(A01) 대비하여 증가함을 알 수 있다. 이는 MOS형 능동저항소자가 보다 안정적인 선형 영역의 동작을 행할 수 있게 된다.

<42> 이상의 실시예들에서 살펴본 바와 같이 본 발명은 전류미러형 기준전압 발생회로에 소모전류를 최소화시켜주기 위한 저항수단으로 기존 수동저항소자를 대체하여 능동저항소자를 구현한 것이다.

<43> 한편, 본 발명의 상세한 설명에서는 구체적인 실시예를 들어 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안되며 후술하는 특허청구의

범위뿐 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

**【발명의 효과】**

<44> 상술한 바와 같이 본 발명은 기존 기준전압 발생회로에 사용되는 수동저항소자를 대체하는 능동저항소자를 기준전압 발생회로에 사용함으로써 설정 저항값을 용이하게 획득할 수 있고, 레이아웃 면적을 최소화하면서 공정변화에 무관하게 고신뢰성을 제공하는 이점이 있다.

**【특허청구범위】****【청구항 1】**

전류미러 형태의 기준전압 발생회로에 있어서,

외부인가전압과 접지전압사이의 일측 전류경로상에 전류전압특성곡선의 선형 구간에서 동작하도록 드레인 전압보다 높은 전압을 게이트 입력전압으로 받는 엔모스 트랜지스터가 형성된 능동저항부를 구성함을 특징으로 하는 회로.

**【청구항 2】**

제 1항에 있어서,

상기 능동저항부의 엔모스 트랜지스터는 단일의 엔모스 트랜지스터임을 특징으로 하는 기준전압 발생회로.

**【청구항 3】**

제 1항에 있어서,

상기 능동저항부의 엔모스 트랜지스터는 선형 구간의 확장을 위해 동일한 게이트 입력전압을 갖는 임의 복수의 엔모스 트랜지스터들을 직렬로 연결한 엔모스 트랜지스터임을 특징으로 하는 기준전압 발생회로.

**【청구항 4】**

제 1항에 있어서,

상기 기준전압 발생회로는 상기 능동저항부의 엔모스 트랜지스터의 게이트 입력전압을 공급하는 전압공급회로를 더 구비함을 특징으로 하는 기준전압 발생회로.

#### 【청구항 5】

제1전원단자와 제2전원단자와의 사이에 형성되는 제2전류경로상에 형성되어 기준전압을 출력하는 기준전압 출력노드;

상기 제1전원단자와 제2전원단자 사이에 형성되는 제1전류경로 및 제2전류경로에 각각 대응되도록 접속이 이루어지며, 자체의 제2전류경로를 통과한 전압레벨에 응답하여 동작하는 전류미러; 및

상기 제1전원단자와 상기 제2전원단자 사이의 제1전류경로상에 형성되어 인에이블 전압에 의해 전류전압특성곡선의 선형 구간에서 동작하는 능동저항소자;를 가짐을 특징으로 하는 기준전압 발생회로.

#### 【청구항 6】

제 5항에 있어서,

상기 기준전압 발생회로는 상기 능동저항소자의 인에이블 전압을 공급하는 전압공급회로를 더 구비함을 특징으로 하는 기준전압 발생회로.

#### 【청구항 7】

제 6항에 있어서,

상기 능동저항소자는 상기 인에이블 전압을 게이트 입력전압으로 받는 단일의 엔모스 트랜지스터임을 특징으로 하는 기준전압 발생회로.

#### 【청구항 8】

제 6항에 있어서,

상기 능동저항소자는 상기 제1전원단자와 상기 제2전원단자 사이의 제1전류경로상에 직렬 연결되고, 상기 인에이블 전압이 동일 게이트 입력전압이 되도록 연결한 복수의 엔모스 트랜지스터임을 특징으로 하는 기준전압 발생회로.

#### 【청구항 9】

제 7항 또는 제 8항에 있어서,

상기 인에이블 전압은 상기 엔모스 트랜지스터의 드레인 전압보다 높은 전압임을 특징으로 하는 기준전압 발생회로.

#### 【청구항 10】

제 9항에 있어서,

상기 전압공급회로는 하나의 피모스 트랜지스터와 다수의 엔모스 트랜지스터들의 결합으로 형성되어 상기 피모스 트랜지스터와 엔모스 트랜지스터 사이의 접속노드를 통해 상기 인에이블 전압을 상기 능동저항소자에 공급함을 특징으로 하는 기준전압 발생회로.

로.

**【청구항 11】**

제 5항에 있어서,

상기 제1전원단자는 외부인가전원이고, 상기 제2전원단자는 접지전원임을 특징으로

하는 기준전압 발생회로.

**【청구항 12】**

제 5항에 있어서,

상기 제1전원단자와 상기 제2전원단자 사이에 형성되는 상기 제1전류경로 및 제2전류경로상에는 각 전류경로상의 전류를 조절하는 앤모스 트랜지스터가 각각 형성됨을 특징으로 하는 기준전압 발생회로.

**【청구항 13】**

제 5항에 있어서,

상기 전류미러는 피모스 트랜지스터 쌍으로 이루어짐을 특징으로 하는 기준전압 발생회로.

**【청구항 14】**

외부인가전압이 제1피모스 트랜지스터 및 제2피모스 트랜지스터의 소오스에

연결되고, 상기 제1피모스 트랜지스터의 게이트는 상기 제2피모스 트랜지스터의 게이트에 공유됨과 아울러 상기 제1피모스 트랜지스터의 드레인과 연결되는 전류미러 회로;

상기 제1피모스 트랜지스터의 드레인은 제1엔모스 트랜지스터의 드레인에 연결되고, 상기 제2피모스 트랜지스터의 드레인이 상기 제1엔모스 트랜지스터의 게이트 및 제2엔모스 트랜지스터의 드레인과 연결되며, 상기 제2엔모스 트랜지스터의 소오스는 접지전원에 연결되며, 상기 제2피모스 트랜지스터의 드레인과 상기 제2엔모스 트랜지스터의 드레인과 연결노드에 기준전압 출력노드가 형성된 회로;

제3엔모스 트랜지스터의 드레인이 상기 제2엔모스 트랜지스터의 게이트 및 상기 제1엔모스 트랜지스터의 소오스와 연결되고, 상기 제3엔모스 트랜지스터의 소오스는 접지전원에 연결되며, 상기 제3엔모스 트랜지스터의 선형 구간 동작을 위해 상기 제3엔모스 트랜지스터의 드레인 전압보다 높은 전압을 상기 제3엔모스 트랜지스터의 게이트 입력전압으로 하는 능동저항회로를 갖는 직류 문턱전압형 기준전압 발생회로.

#### 【청구항 15】

제 14항에 있어서, 상기 직류 문턱전압형 기준전압 발생회로는;

상기 제1피모스 트랜지스터의 드레인 전압을 제3피모스 트랜지스터의 게이트 입력으로 연결하며, 상기 외부인가전압을 상기 제3피모스 트랜지스터의 소오스 입력으로 연결하며, 상기 제3피모스 트랜지스터의 소오스를 제3피모스 트랜지스터의 게이트로 연결하며, 상기 제3피모스 트랜지스터의 드레인을 제4엔모스 다이오드의 드레인 및 게이트에 연결하고, 제5엔모스 다이오드의 드레인 및 게이트를 상기 제4엔모스 다이오드의 소오

스에 연결하며, 제6엔모스 다이오드의 드레인 및 게이트를 상기 제5엔모스 다이오드의 소오스에 연결하며, 상기 제6엔모스 다이오드의 소오스를 접지전압에 연결하고, 상기 제3엔모스 트랜지스터의 게이트를 상기 제3피모스 트랜지스터의 드레인 및 상기 제4엔모스 다이오드의 드레인과 연결한 전압발생회로가 더 부가된 직류 문턱전압형 기준전압 발생 회로.

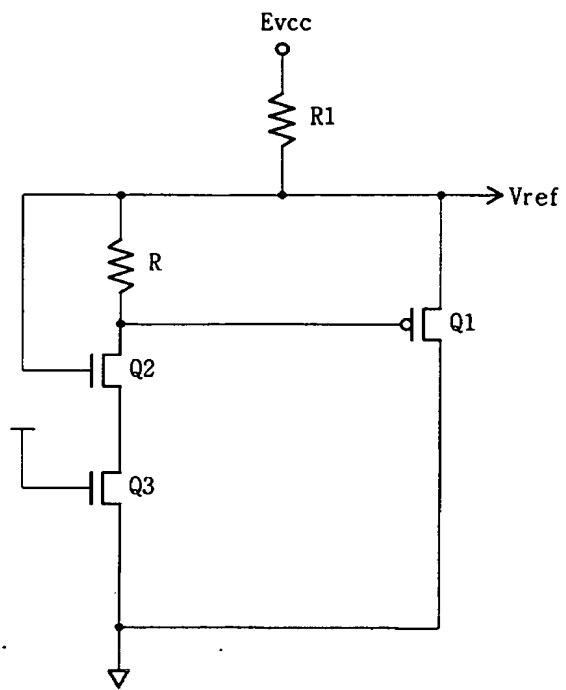
#### 【청구항 16】

제 14항에 있어서,

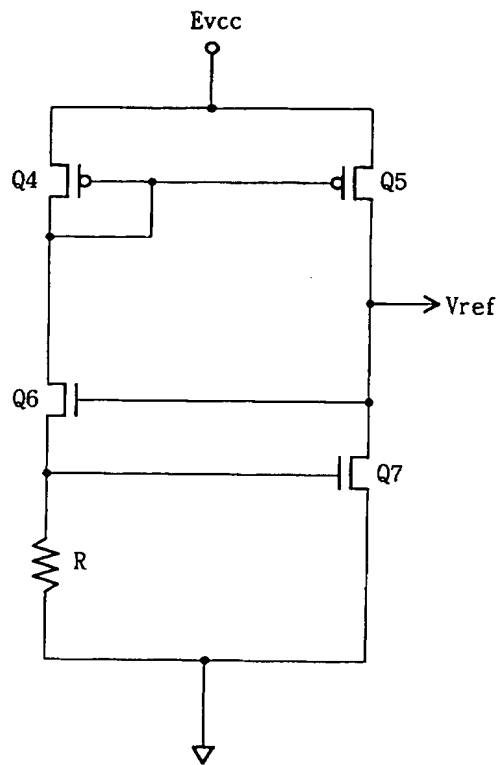
상기 능동저항회로는 상기 제3엔모스 트랜지스터와 동일 게이트 입력전압을 갖는 다수의 엔모스 트랜지스터들이 직렬로 연결된 회로가 부가된 직류 문턱전압형 기준전압 발생회로.

【도면】

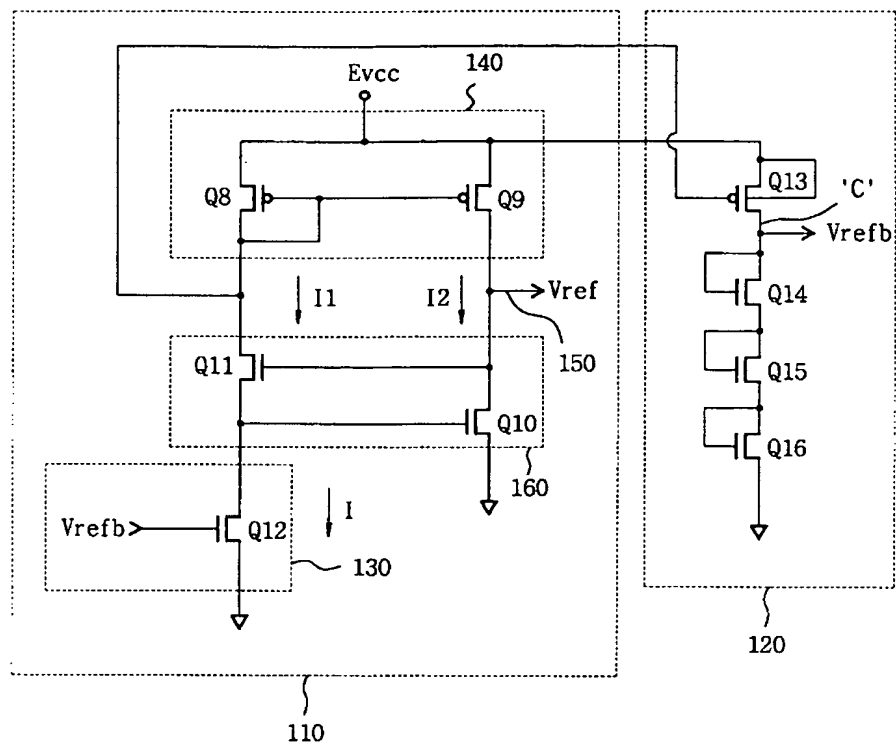
【도 1】



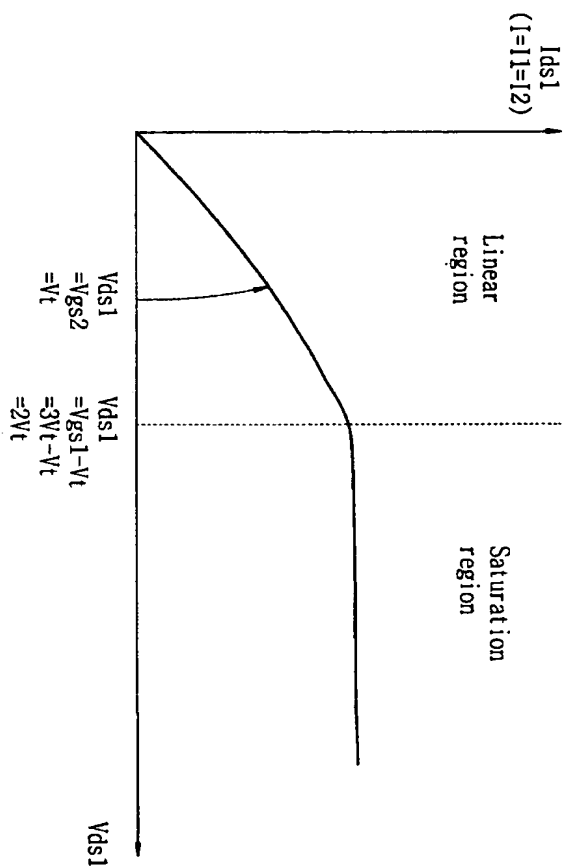
【도 2】



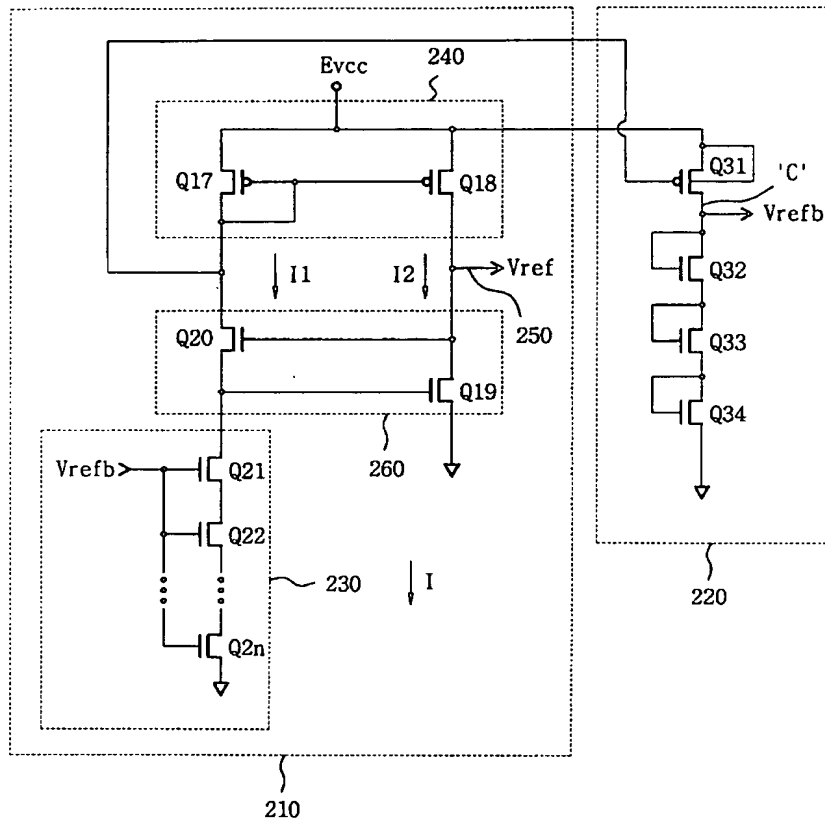
【도 3】



【도 4】



【도 5】



【도 6】

